

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-276242

(43)公開日 平成6年(1994)9月30日

(51)Int.Cl.⁵

H 0 4 L 27/22

識別記号

庁内整理番号

F I

技術表示箇所

J 9297-5K

C 9297-5K

審査請求 未請求 請求項の数 1 O L (全 8 頁)

(21)出願番号 特願平5-63961

(22)出願日 平成5年(1993)3月23日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 林 和美

愛知県刈谷市昭和町1丁目1番地 日本電

装株式会社内

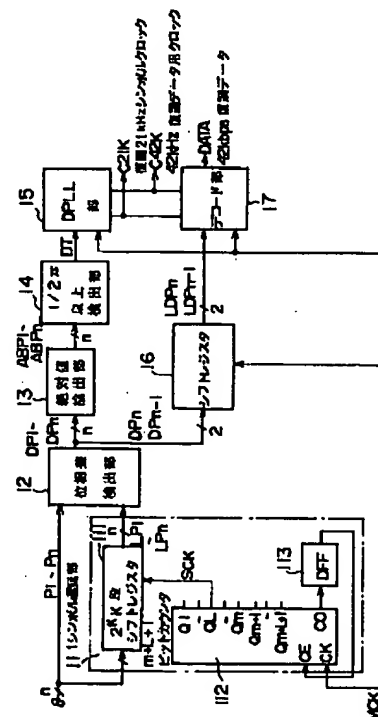
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 デジタル携帯電話の復調装置

(57)【要約】

【目的】この発明は、1シンボル遅延部を改良したデジタル携帯電話の復調装置を提供することを目的とする。

【構成】位相差検出部12で入力位相値 $P_1 \sim P_n$ と1シンボル遅延部11で遅延した位相値とが比較され、その位相差値の絶対値が $1/2\pi$ 以上検出部14に供給されてその検出信号DTが出力されるもので、この検出信号DTに基づいてDPLL部15で21KHz復調シンボルクロックおよび復調42KHz復調データ用クロックを抽出し、デコード部17で復調データが形成される。1シンボル遅延部11は 2^k 段シフトレジスタ111と $m+L+1$ ビットカウンタ112を備え、レジスタ111はカウンタ112からの出力クロックSCKによりシフトされ、カウンタ111のキャリーアウト信号はDFF113を介して端子CEに供給されて、マスタークロックの1クロック分休止されたクロックSCKが出力されるようにする。



【特許請求の範囲】

【請求項1】 位相変調されたデジタル入力信号の供給される1シンボル遅延手段と、

この1シンボル遅延手段からの出力位相値と前記入力信号の位相値とを比較する位相差検出手段と、

この位相差検出手段からの出力の絶対値を求める絶対値検出手段と、

この絶対値検出手段からの絶対値の $1/2\pi$ 以上を検出する $1/2\pi$ 以上検出手段と、

この $1/2\pi$ 以上検出手段からの検出信号に基づいて復調シンボルクロック並びに復調データ用クロックを作成するDPLL手段と、

前記復調シンボルクロック並びに復調データ用クロックに基づいて復調データを作成するデコード手段とを具備し、

前記1シンボル遅延手段は、前記入力デジタル信号の位相値が入力されるシフトレジスタ、このシフトレジスタにシフトクロックを供給するカウンタによって構成され、このカウンタはマスタークロックを分周して1シンボルの整数倍のタイミングでそれぞれ位相が異なる複数のクロックを作成するもので、その計数周期毎に前記マスタークロックの1クロック分だけカウント動作が停止されるようにしたことを特徴とするデジタル携帯電話の復調装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、 $1/4\pi$ DQPSK デジタル携帯電話に係るものであり、特にDPLL部のクロック抽出の分解能を保ちながら1シンボル遅延部の構成を簡易化するデジタル携帯電話の復調装置に関する。

【0002】

【従来の技術】この種のデジタル携帯電話の復調装置にあっては、位相変調されたデジタル入力信号の位相値を1シンボル遅延した後これを入力位相値と位相比較し、その比較結果の絶対値の $1/2\pi$ 以上を検出するもので、この $1/2\pi$ 以上検出信号をDPLL部に供給して、復調シンボルクロック並びに復調データ用クロックを作成し、この復調シンボルクロック並びに復調クロックをデコード部に供給して復調データが得られるようにしている。

【0003】この様な復調装置において、1シンボル遅延部は例えばDタイプのフリップフロップによって構成するものであるが、このフリップフロップはシンボルに対するクロック抽出の分解能分の段数が必要となる。また、シフトレジスタのクロック周波数を低くしてシフトレジスタの段数を減らし、このシフトレジスタによって1シンボル遅延部を構成するようになると、クロック抽出の分解能が低くなってしまふ。

【0004】

【発明が解決しようとする課題】この発明は上記のような点に鑑みなされたもので、特にDPLL部におけるクロック抽出の分解能を犠牲にすることなく1シンボル遅延部の構成を簡易化することができるようにしたデジタル携帯電話の復調装置を提供しようとするものである。

【0005】

【課題を解決するための手段】この発明に係るデジタル携帯電話の復調装置は、位相変調されたデジタル入力信号の供給される1シンボル遅延手段からの出力位相値と前記入力信号の位相値とを比較し、この位相差検出出力の絶対値を求めるようにすると共に、その絶対値の $1/2\pi$ 以上検出信号に基づいて、DPLL手段で復調シンボルクロック並びに復調データ用クロックを作成し、デコード手段においてこの復調シンボルクロック並びに復調データ用クロックに基づいて復調データを作成する。ここで前記1シンボル遅延手段は、前記入力デジタル信号の位相値が入力されるシフトレジスタ、このシフトレジスタにシフトクロックを供給するカウンタによって構成され、このカウンタはマスタークロックを分周して1シンボルの整数倍のタイミングでそれぞれ位相が異なる複数のクロックを作成するもので、その計数周期毎に前記マスタークロックの1クロック分だけカウント動作が停止されるように構成する。

【0006】

【作用】この様に構成されるデジタル携帯電話の復調装置によれば、1シンボル遅延部を構成するシフトレジスタの段数を減らすことによってDPLL部の分解能が低下されるのを、シフトレジスタのクロックの位相を変えることによってDPLL部のクロック抽出の分解能が補われるようになるものであり、特に1シンボル遅延部の構成を簡略化した状態においても、精度の高い復調シンボルクロック並びに復調データ用クロックが得られ、デコード部において復調データを形成する上で効果的に使用できる。

【0007】

【実施例】以下、図面を参照してこの発明の一実施例を説明する。図1は復調装置の構成を示すもので、位相変調されたデジタル入力 θ の位相値 $P_1 \sim P_n$ (n は位相値 θ のサンプリングの分解能を示す)が入力され、この位相値 $P_1 \sim P_n$ は1シンボル遅延部11に入力される。この1シンボル遅延部11からの出力位相値 $L_{P_1} \sim L_{P_n}$ は、位相値 $P_1 \sim P_n$ と共に位相差検出部12に供給されるようになり、この位相差検出部12からの位相値 $P_1 \sim P_n$ と位相値 $L_{P_1} \sim L_{P_n}$ との位相差値 $DP_1 \sim DP_n$ は絶対値検出部13に供給される。

【0008】この絶対値検出部13からの絶対値出力 $AB_{P_1} \sim AB_{P_n}$ は、 $1/2\pi$ 以上検出部14に供給され、この $1/2\pi$ 以上検出信号 DT がDPLL部15に供給されるもので、このDPLL部15で復調21KHz シンボ

ルクロックC21K、および42KHz 復調データ用クロックC42Kが形成される。

【0009】また、位相差検出部12からの位相差検出信号の中の上位2ビットDPn およびDPn-1 はシフトレジスタ16に供給され、このシフトレジスタ16の出力LD PnおよびLD Pn-1 はデコード部17に入力される。デコード部17には、DPLL部15で抽出された復調21KHz シンボルクロックC21Kおよび42KHz 復調データ用クロックC42Kが入力され、復調データDATAが出力される。

【0010】1シンボル遅延部11は、 2^K 段シフトレジスタ111 と $m+L+1$ ビットカウンタ112 を備えるもので、このカウンタ112 のQL 端子からの出力SCKがシフトレジスタ111 にシフトクロックとして供給されるようにしている。また、カウンタ112 のキャリーアウト出力COは、D型フリップフロップ(DFF) 113 に供給され、このDFF113 からの出力がカウンタ112 の端子CEに入力される。そして、このカウンタ112 はマスタークロックMCKによって駆動されるようにする。このマスタークロックMCKは、DPLL部15、シフトレジスタ16さらにデコード部17にも供給されている。

【0011】この様に構成された復調回路の動作について説明する。ここで、位相 θ を表すための分解能nはを“5”(位相 $\theta=P1 \sim P5$)とすると共に、シンボル周波数(ここでは21KHz)に対するマスタークロックMCKの周波数を32倍とする($=2^m = 2^5$ 、 $m=5$)。

【0012】まず、21KHz シンボルクロックの抽出に関する基本原理を説明すると、図2のタイミングチャートより、 $3/4\pi$ を受信すると位相値P1~P5は

“0”から“12”まで、具体的には“0” “3” “6” “9” “12”のように変化する。つまり、 $1/2\pi$ が入力されると位相差“-4”まで“12” “11” “10” “9” “8”と変化するもので、以降は $3/4\pi$ さらに $-1/4\pi$ 入力毎に同様となる。

【0013】1シンボル遅延部11からの出力が供給される位相差比較部12においては、図2に示す入力位相値P1~P5 とLP1~LP5 とが比較されるもので、その位相差DP1~DP5 は、1シンボル毎に“12” “-4” “12” “-4”のように“12”と“4”の値が取り出されるようになる。したがって、このことから“12”と“-4”を取り出すことのできるタイミングで、21KHz のシンボルクロックを抽出してデコードを行えば、復調することができると予測できる。

【0014】絶対値検出部13において、位相比較部12からの位相値DP1~DP5 の絶対値ABP1~ABP5 が求められるもので、位相差の絶対値の $1/2\pi$ 以上、つまり“8”以上を $1/2\pi$ 以上検出部14で検出すると、その検出力DTが図2で示されるようになり、この出力DTがハイレベルとされる範囲の中間に、デコー

ドタイミングである位相差値“12”が存在するようになる。

【0015】したがって、検出部14において位相差の絶対値が $1/2\pi$ 以上となる区間を検出すると共に、この検出信号DTの中間にDPLLをかけて、復調21KHz シンボルクロックC21K、および42KHz 復調データ用クロックC42Kを抽出して位相値“12”および“-4”をデコードすることにより復調が可能とされる。ここでデコードの方法は、位相差DP1~DP5 の上位2ビット(DP5およびDP4)を所定のデコード真理表に基づいてデコードすることによって、42Kbps 復調データDATAを出力することができる。

【0016】すなわち、位相値P1~P5 と1シンボル遅延部11で1シンボルシフトしたデータLP1~LP5 との位相差DP1~DP5 を位相差検出部12で求め、絶対値検出部13で位相差DP1~DP5 の絶対値ABP1~ABP5 を計算し、 $1/2\pi$ 以上検出部14で位相差の絶対値が $1/2\pi$ 以上の検出信号DTを作成する。そして、DPLL部15で検出信号DTの中間点を計算し、復調21KHz シンボルクロックC21Kおよび42KHz 復調用クロックC42Kを抽出し、デコード部17で位相差DP1~DP5 の上位2ビット(DP5、DP3)より復調データを取り出す。

【0017】この様に構成される復調装置において、位相値P1~P5 のサンプリングのためのクロック周波数を、マスタークロックMCKを4分周($=2^L = 2^2$ 、 $L=2$)して作成するものとする、このクロックは初期状態によって、順次マスタークロックMCKの1クロック分シフトした、図3で示すCK0~CK3 の4つの位相が考えられる。

【0018】また、サンプリング周波数を、マスタークロックMCKの $1/4$ ($L=2$)としたクロックCK0~CK3 をシフトクロックとすると、 2^K 段シフトレジスタ111 のシフト段数(2^K)を通常の32段(マスタークロックMCKはシンボル周波数の32倍であるので、マスタークロックMCKをシフトクロックとして位相値P1~P5 を1シンボル遅延するために32段のシフトレジスタが必要)に対して8段($K=3$)とする。ここで、 m 、 L 、 K は“ $m=L+K$ ”の関係にある。

【0019】図3で示したようにマスタークロックMCKを4分周して1シンボル遅延部11のシフトクロックを作成した場合、前述したように初期状態よりシフトクロックCK0~CK3 の4通りが考えられる。いま、位相差の絶対値の $1/2\pi$ 以上を検出した信号DT(位相値P1~P5 をマスタークロックMCKでサンプリングした場合)と、クロックCK0~CK3 (位相値P1~P5 をマスタークロックMCKを4分周して作ったクロックCK0~CK3 でサンプリングした場合)の中間点に着目すると、信号DTの中間点の位置に対してクロックCK0~CK3における中間点DT0~DT3 の中間点

の位置との誤差は、最大でCK3のときの“+3” ($= 2^L - 1 = 2^2 - 1$)となる。

【0020】このため、DT0～DT3の中間点に対してDPLLをかけて21KHzシンボルクロックC21Kを抽出するようにした場合において、デコード部17における21KHzシンボルクロックC21Kと位相差値DP1～DP5の上位2ビットとの位相誤差が最大で“+3” ($= 2^L - 1 = 2^2 - 1$)となる。

【0021】この様な問題点を解決するために、図4で示すようにシフトレジスタ111のクロックの位相を1シンボルの整数倍のタイミングでCK0からCK3まで変化したシフトクロックSCKを作成し、このクロックSCKによって位相値P1～P5をサンプリングして作成した位相差絶対値の $1/2\pi$ 以上検出信号DT (この場合図のDT0～DT3の全てを含む信号)の中間に対してDPLL部15でDPLLをかけ21KHzシンボルクロックC21Kを作成するようにすれば、誤差が平均化されて、その後差は定量的に“+1.5” ($= [1 + 2 + \dots + (2^L - 2) + (2^L - 1)] / 2^L = [1 + 2 + 3] / 2^2$)となる。

【0022】この誤差は、デコード部17に入力される位相差値、すなわち位相差検出部12からの出力DP1～DP5の上位2ビットDP5およびDP4を、シフトレジスタ16で1段または2段 ($2^{L-1} - 1$ または 2^{L-1} 、ここでは 2^{2-1} または 2^{2-1}) のシフトを行うことによって、誤差は“±0.5”とすることができる。

【0023】具体的には、図5で示されるように2シンボル毎に $m+L+1$ ビットカウンタ112のカウントアップを、このカウンタ112のキャリーアウトCOのタイミングで、DFF113によってマスタークロックMCKの1クロック分だけ計数動作を止め、シフトレジスタ111のクロックを1クロックずつ遅らせるようにすることにより、8シンボルで全クロック位相CK0～CK3を取り出すようにする。すなわち、DFF113においてマスタークロックMCKの1クロックまたは2クロック分シフトし、21KHzシンボルクロックとの位相調整が行われるようになる。

【0024】したがって、この様に構成される $1/4\pi$ DQPSK復調装置によれば、その性能を犠牲にするこ

となく1シンボル遅延部のシフト段数を減らすことにより、ゲート規模の削減が可能とされるようになる。

【0025】図6は他の実施例に係る復調装置の構成を示すもので、 $m+L+1$ ビットカウンタ112の出力が+2加算回路114に供給され、DFF113からの出力がカウンタ112の端子CEに入力されたときに、加算回路114からの出力がロードされるようにする。この様な構成とすることにより、 2^K 段シフトレジスタ111のシフトクロックSCKの位相がマスタークロックMCKの1クロック分進められるもので、8シンボルで全クロック位相CK0～CK3を取り出すことができるようにしている。図7はこの実施例における1シンボル遅延部11の動作状態を示すタイミングチャートである。

【0026】

【発明の効果】以上のようにこの発明に係るデジタル携帯電話の復調装置によれば、性能を犠牲にすることなく1シンボル遅延部のシフト段数を減らすことにより、ゲート規模の削減が可能とされるようになり、その構成の単純化に大きな効果が発揮される。

20 【図面の簡単な説明】

【図1】この発明の一実施例に係るデジタル携帯電話の復調装置を説明する回路構成図。

【図2】上記復調装置の動作を説明するタイミングチャート。

【図3】この復調装置の一般的な動作を説明するタイミングチャート。

【図4】同じく復調装置の動作の特徴を説明するタイミングチャート。

30 【図5】上記実施例の1シンボル遅延部の動作を説明するタイミングチャート。

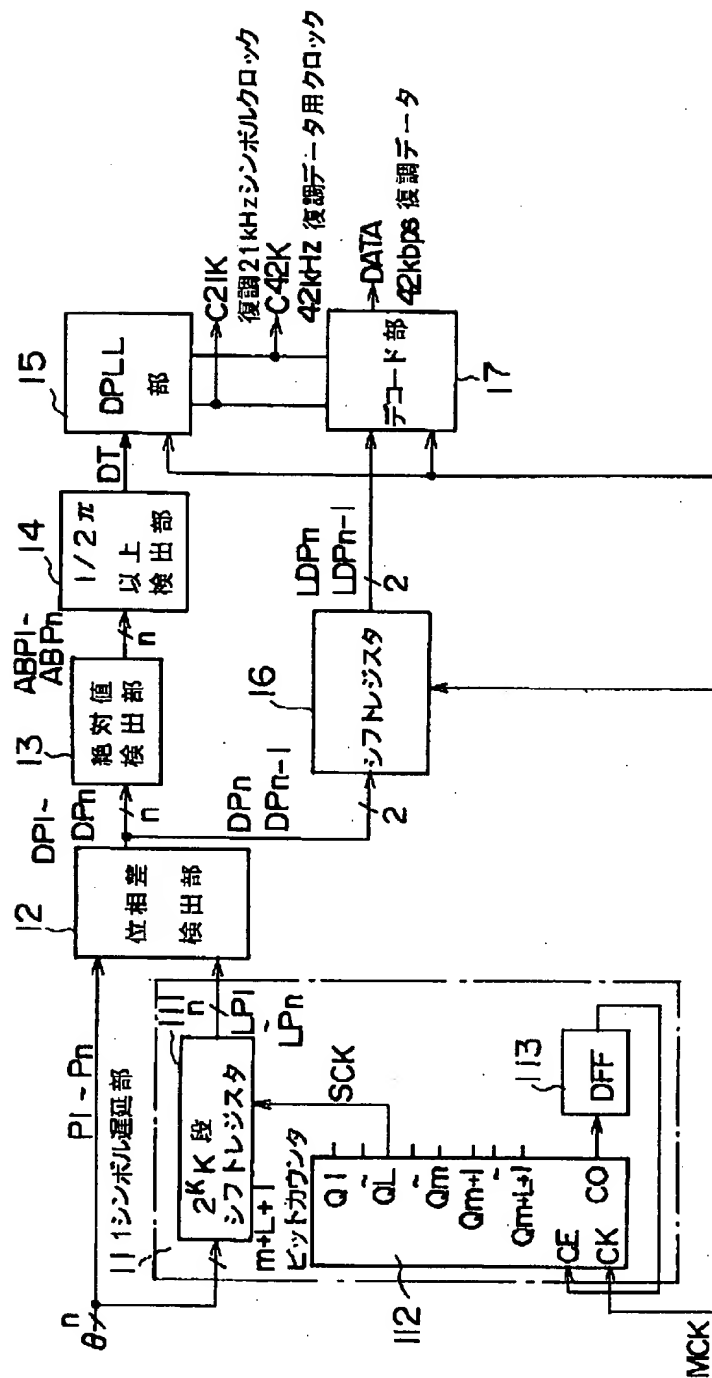
【図6】この発明の他の実施例を説明する回路構成図。

【図7】この実施例の動作を説明するタイミングチャート。

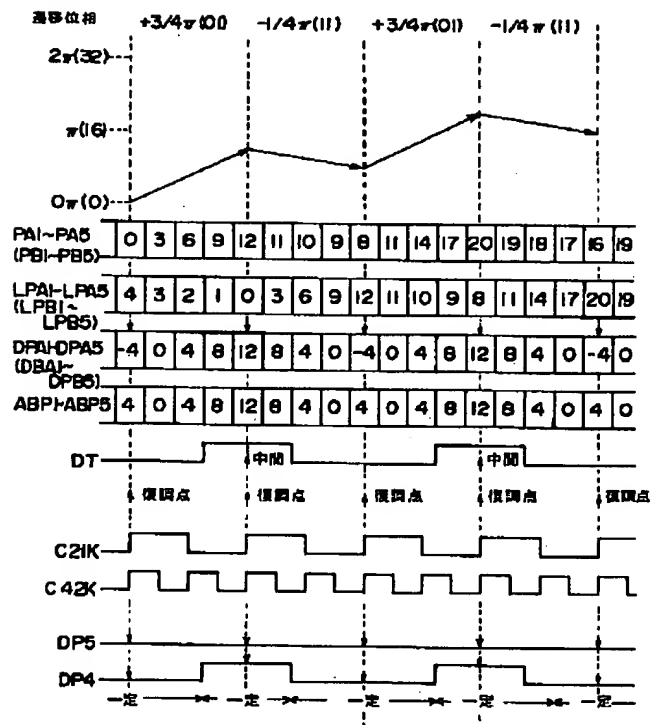
【符号の説明】

11…1シンボル遅延部、111… 2^K 段シフトレジスタ、112… $m+L+1$ ビットカウンタ、113…DFF、12…位相差検出部、13…絶対値検出部、14… $1/2\pi$ 以上検出部、15…DPLL部、16…シフトレジスタ、17…デコード部。

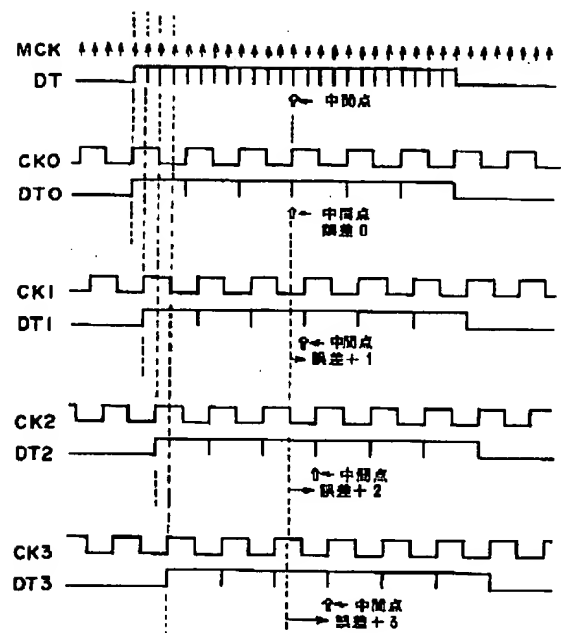
【図1】



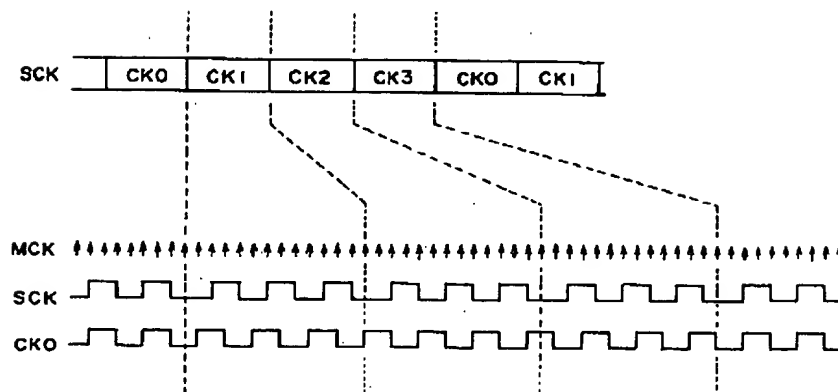
【図2】



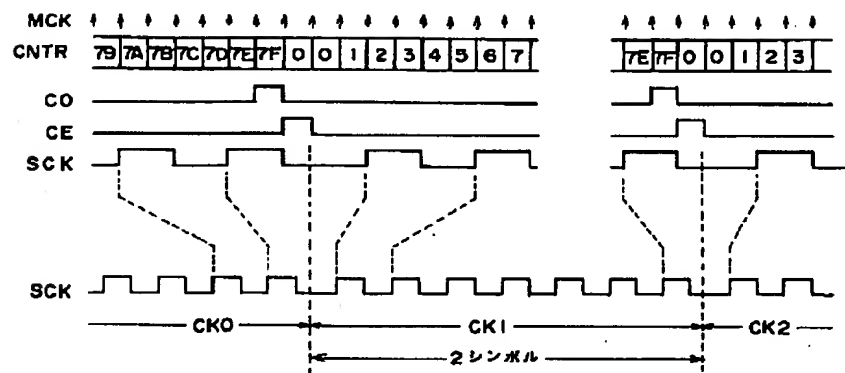
【図3】



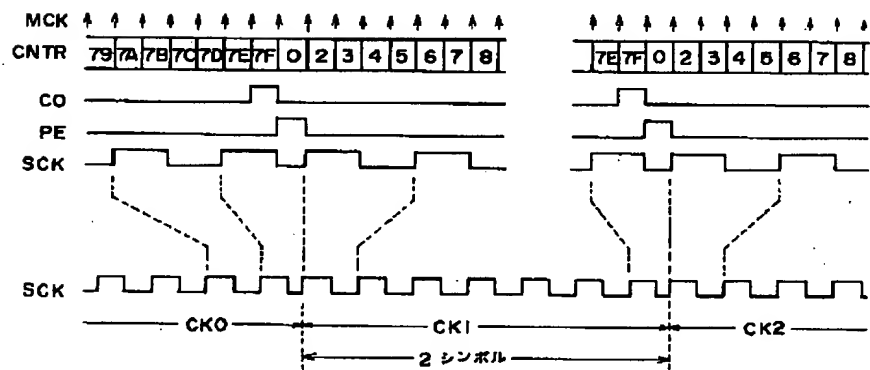
【図4】



【図5】



【図7】



【図6】

